
YAMAHA[®] LSI

S3527

MSX System (MSX Port Controller and Software Controlled Sound Generator)

■概要

YAMAHA S3527は、MSXコンピュータ用に開発されたLSIであり、MSX仕様に基づき拡張性を考えたメモリーコントロール、VDP、キーボード、プリンタ等の周辺装置の制御を行うと共にSSGを内蔵していますので楽音信号を発生することが出来ます。

■特徴

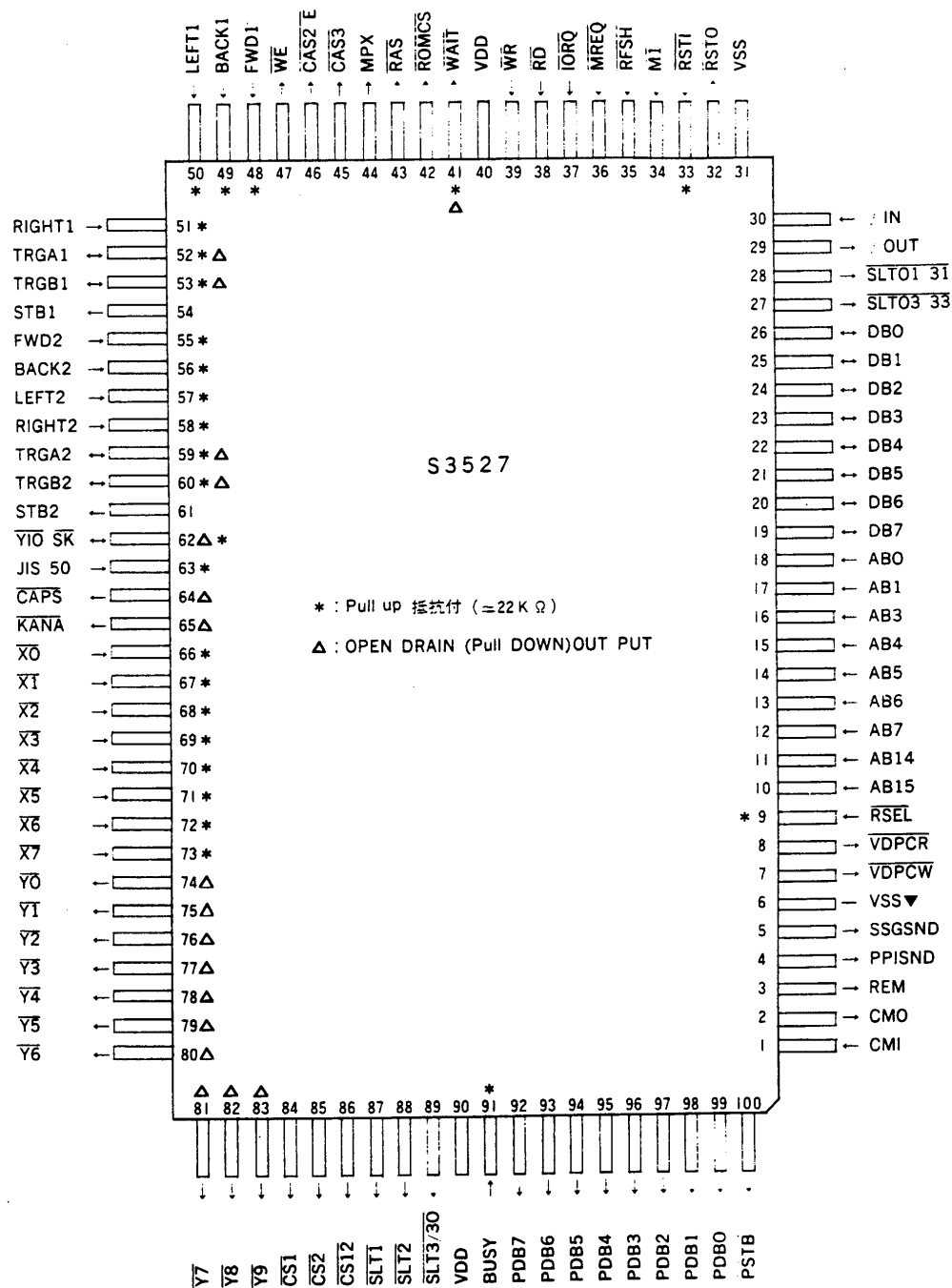
- ROM(MSX BASIC ROM:32Kbyte)のアクセス
- RAM(D-RAM:16K-16Kbyte又は拡張時64Kbyte)のアクセス
- VDPのアクセス
- 基本スロットの制御
- 拡張スロットの選択とその制御
- M1サイクル時のWAITの挿入
- キーボードのアクセス (10キー駆動可能)
- 2系列ジョイスティック (又は汎用ポート) の内蔵
- SSG (YAMAHA YM-2149相当) の内蔵
 - 発音域: 8 オクターブ
 - 発音系列: 3 系列正弦波と 1 系列ノイズ
 - エンベロープコントロール: 5 ビット
 - DAコンバータ: 5 ビット
- SiゲートによるCMOS構成
- +5V単一電源
- 100ピン、プラスチック、フラット、パッケージ

ヤマハ株式会社

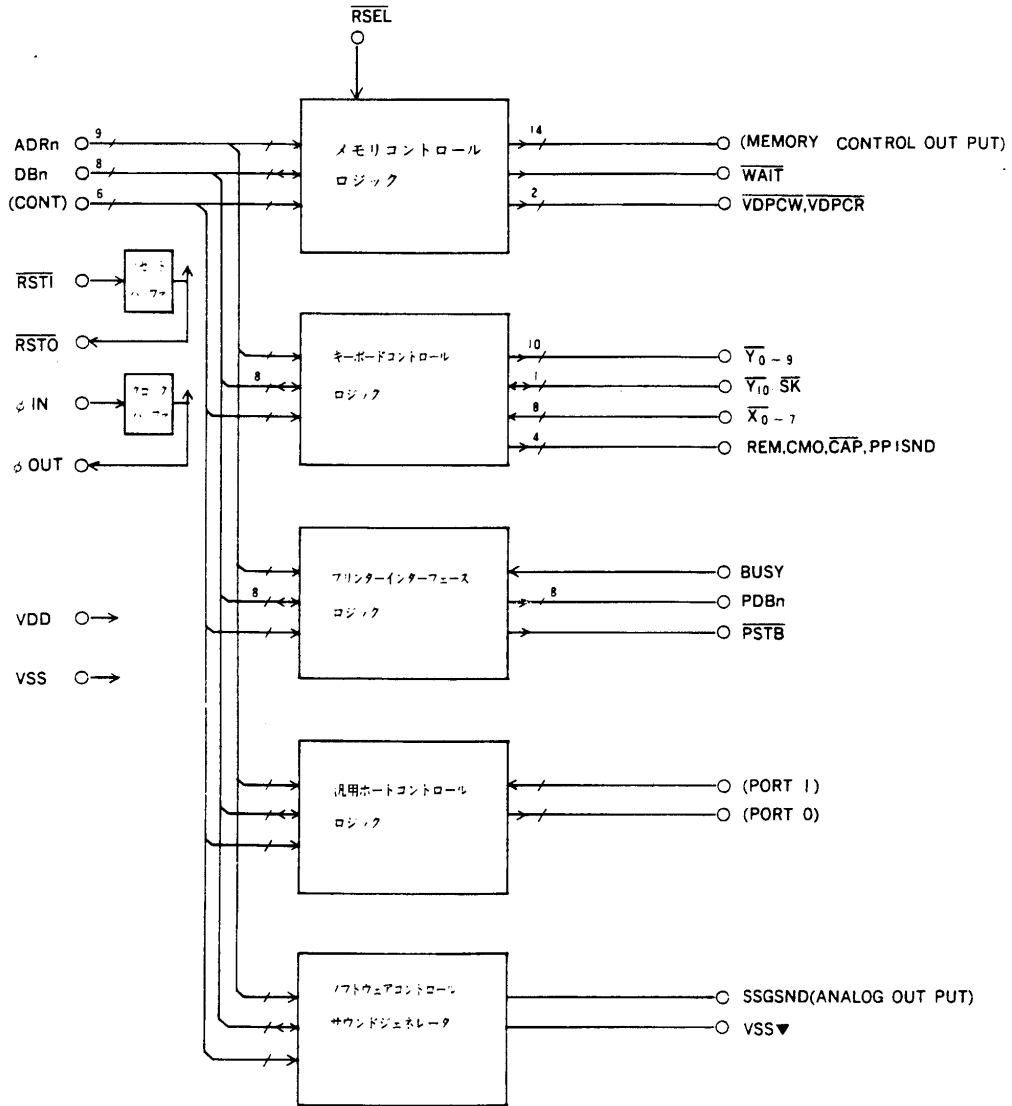
S3527カタログ
CATALOG No.:LSI-1135272
1990.06

Scanned, ocr'ed and converted to pdf by HansO,2001

■端子配置図



ブロックダイアグラム



(CONT): \overline{M} , \overline{RFSH} , \overline{MREQ} , \overline{IORQ} , \overline{RD} , \overline{WR}

(MEMORY CONTROL OUT PUT): ROMCS, RAS, MPX, CAS3, CAS2, E, WE, CS1, CS2, CS12, SLT1, SLT2, SLT3, 30, SLT01, 31, SLT03, 33

(PORT 1): FWD1, FWD2, BACK1, BACK2, LEFT1, LEFT2, RIGHT1, RIGHT2, (TRGA1, TRGA2, TRGB1, TRGB2) () : ワイヤード論理

(PORT 0): (TRGA1, TRGA2, TRGB1, TRGB2) STB1, STB2

■端子機能

端子名	入出力	機能
(AB15, AB14) (AB7-AB3) AB1, AB0	i	Z80ACPUのアドレスバス入力 (9ビット)
DB7-DB0	i/o	Z80ACPUのデータバス入出力 (8ビット)
$\overline{M1}$	i	Z80ACPUの $\overline{M1}$ 入力
\overline{RFSH}	i	Z80ACPUの \overline{RFSH} 入力
\overline{MREQ}	i	Z80ACPUの \overline{MREQ} 入力
\overline{IORQ}	i	Z80ACPUの \overline{IORQ} 入力
\overline{RD}	i	Z80ACPUの \overline{RD} 入力
\overline{WR}	i	Z80ACPUの \overline{WR} 入力
\overline{WAIT}	o	M1サイクルでの \overline{WAIT} 要求信号出力 (外部 \overline{WAIT} 信号とワイヤード論理可)
\overline{ROMCS}	o	MSX BASIC ROMのセレクト信号出力
MPX	o	D-RAMアドレスのマルチプレックス信号出力
\overline{RAS}	o	D-RAMの \overline{RAS} 信号出力 (Z80によるRASオンリーリフレッシュ機能有)
$\overline{CAS2}$, \overline{E} , $\overline{CAS3}$	o	D-RAMの \overline{CAS} 信号出力 { $\overline{CAS3}$: SLOT=0 C000-FFFF or SLOT=00 C000-FFFF } { $\overline{CAS2}$ E : SLOT=0 8000-BFFF or SLOT=00 8000-BFFF } or SLOT=02 0000-7FFF or SLOT=32 0000-FFFF }
\overline{WE}	o	D-RAMの \overline{WE} 信号出力
$\overline{CS1}$, $\overline{CS2}$, $\overline{CS12}$	o	ROMセレクト信号出力 ($\overline{CS1}$: 4000-7FFF $\overline{CS2}$: 8000-BFFF $\overline{CS12}$: 4000-BFFF)
$\overline{SLT1}$, $\overline{SLT2}$, $\overline{SLT3}$ 30	o	スロットセレクト信号出力 ($\overline{SLT1}$: SLOT=1 $\overline{SLT2}$: SLOT=2 $\overline{SLT3}$ 30 : SLOT=3 or SLOT=30)
$\overline{SLT01}$ 31	o	拡張スロット SLOT=01又はSLOT=31のセレクト信号出力
$\overline{SLT03}$ 33	o	拡張スロット SLOT=03又はSLOT=33のセレクト信号出力
\overline{RSEL}	i	拡張スロットセレクトレジスタのコントロール信号入力
\overline{VDPCR}	o	VDP (Video Display Processor) のリードタイミング信号出力
\overline{VDPCW}	o	VDPのライトタイミング信号出力
PDB7-PDB0	o	プリントデータ出力 (8ビット)
\overline{PSTB}	o	プリンタストローブ出力

端子名	入出力	機 能
BUSY	i	プリンタステータス入力
$\overline{X7} \sim \overline{X0}$	i	キーボードリターン信号入力 (8ビット) ($\overline{X6}, \overline{X7}$ はリセット時機能選択用入力になります)
$\overline{Y9} \sim \overline{Y0}, (\overline{Y10}, \overline{SK})$	o(o i)	キーボードスキャン信号出力 (11ビット) ($\overline{Y10}, \overline{SK}$ はリセット時の機能選択によりシリアルキー入力端子になります)
FWD1, FWD2	i	ジョイスティックFWD信号又は汎用ポートの入力
BACK1, BACK2	i	ジョイスティックBACK信号又は汎用ポートの入力
LEFT1, LEFT2	i	ジョイスティックLEFT信号又は汎用ポートの入力
RIGHT1, RIGHT2	i	ジョイスティックRIGHT信号又は汎用ポートの入力
TRGA1, TRGA2	i o	ジョイスティックTRGA信号又は汎用ポートの出力 (ワイヤード論理によるi o)
TRGB1, TRGB2	i o	ジョイスティックTRGB信号又は汎用ポートの出力 (ワイヤード論理によるi o)
STB1, STB2	o	汎用ポートの出力
CMI	i	カセットテープのリード信号入力
CMO	o	カセットテープへの書き込み信号出力
REM	o	カセットコントロール信号出力
\overline{CAPS}	o	CAPSランプ信号出力 (直接LED点灯可)
\overline{KANJI}	o	カナランプ信号出力 (直接LED点灯可)
JIS 50	i	キーボードの配列コントロール入力
$\overline{RST1}$	i	初期値設定信号入力 (シュミット入力)
$\overline{RST0}$	o	初期値設定信号出力
PPISND	o	ソフトによるサウンド出力
SSGSND	o	SSGによるアナログサウンド出力
φ IN	i	クロック入力, (Z80A以外のクロックはこの信号をバッファを介して使う)
φ OUT	o	Z80ACPU用クロック出力
VDD		+5V電源
VSS		OV GND
VSS▼		OV SSG GND

機能説明

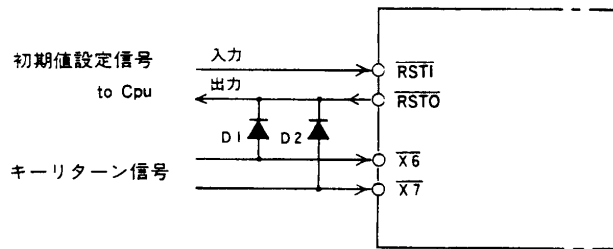
>機能の選択と初期設定

初期値設定信号入力時キーボードリターン信号入力端子の内 $\overline{X6}$ 、 $\overline{X7}$ を用いて拡張スロットの選択と、テンキー用駆動出力 ($\overline{Y10}/\overline{SK}$) をシリアルキーボード信号入力に設定することが可能です。これは下図の回路例の様に初期値設定出力端子 (\overline{RSTO}) とキーリターン信号入力端子間のダイオード D1、D2の有無により下表に示す様にその機能が決められます。このときのメモリーマップと拡張状態との関係は次のページに示す図の様になります。

初期値設定時の $\overline{X6}$ 、 $\overline{X7}$ 入力レベルと機能表

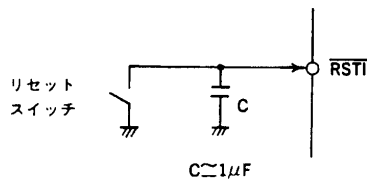
$\overline{X6}$	$\overline{X7}$	機 能	タイオード
0	×	スロット 0 の拡張が可能になります	D1 有
1	×	スロット 3 の拡張が可能になります	D1 なし
×	0	シリアルキー回路が働きます	D2 有
×	1	テンキー駆動出力回路が働きます	D2 なし

機能選択回路例



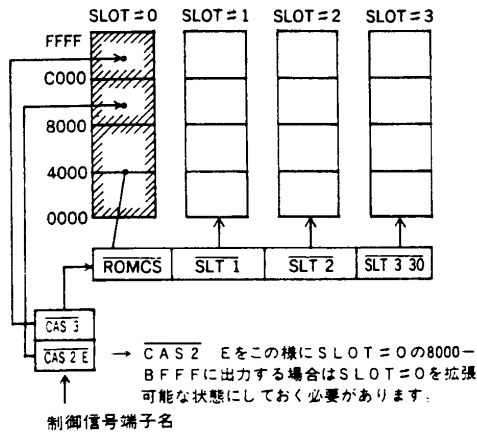
初期値設定のために \overline{RSTI} 端子に加えられる信号は電源電圧を検出して機能する方法の他、下図の様に \overline{RSTI} 端子にコンデンサーを接続するのみで働きます。

\overline{RSTI} 信号は電源が十分に立上りクロックが加えられた状態で最低、クロック周期の20倍の時間“0”レベルを保つ様にすればリセットされます。

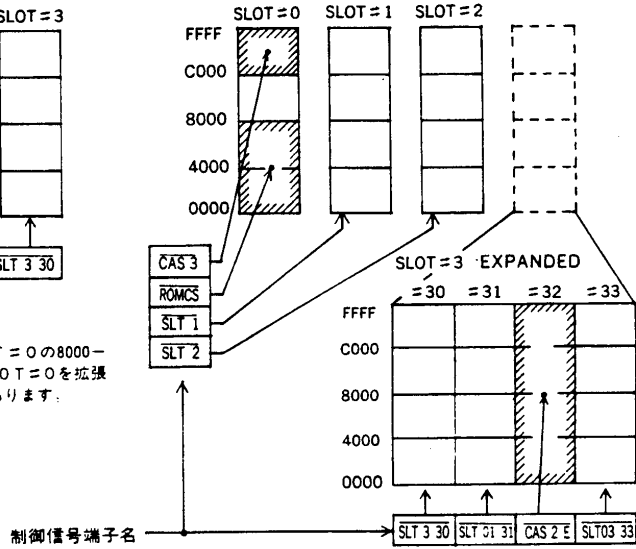


メモリマップと拡張状態との関係図

<拡張しない場合>

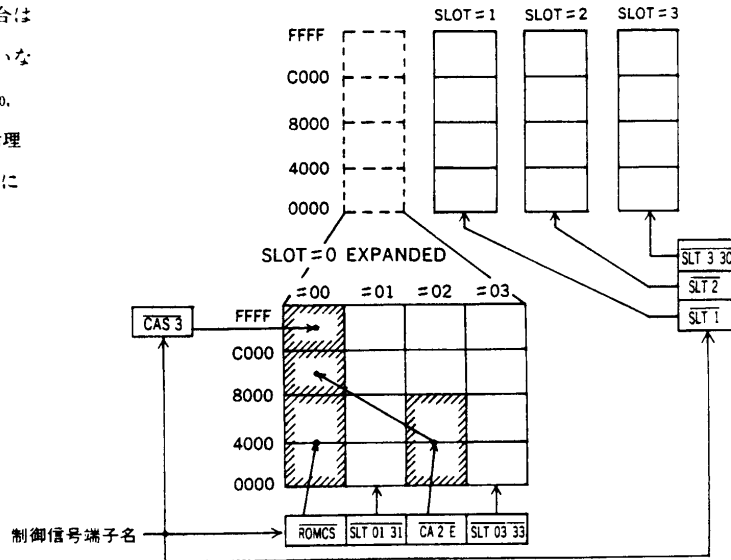


<SLOT #3を拡張した場合>



<SLOT #0を拡張した場合>

スロットの拡張をする場合は本デバイスに入力されていないアドレスA₂, A₈, A₉, A₁₀, A₁₁, A₁₂, A₁₃のNAND論理をとった信号をRSEL端子に入力する必要があります。



>メモリーコントロール信号

CPUからのシステムコントロール信号 ($\overline{M1}$, \overline{RFSH} , \overline{MERQ} , \overline{IORQ} , \overline{RD} , \overline{WR}) とメモリーコントロール出力信号 (\overline{ROMCS} , \overline{RAS} , \overline{MPX} , $\overline{CAS3}$, $\overline{CAS2}$, \overline{E} , \overline{WE} , $\overline{CS1}$, $\overline{CS2}$, $\overline{CS12}$, $\overline{SLT1}$, $\overline{SLT2}$, $\overline{SLT3}$, $\overline{30}$, $\overline{SLT01}$, $\overline{31}$, $\overline{SLT0}$, $\overline{32}$, $\overline{33}$), CPUコントロール信号 (\overline{WAIT}), 及びVDPコントロール信号 (\overline{VDPCR} , \overline{VDPCW}) との論理及びタイミングに関しては、電気的特性の項目のうちのタイミングチャート部分を参照して下さい。

>I/Oアドレスとその機能

プリンタ、VDP、SSG、汎用ポート、キーボード、スロット指定の各機能は下表の様にMSX仕様にに基づいたI/Oアドレスと機能内容をもっています。

I/Oアドレスと機能表

機能	i o ADR	W R	内 容
プリンタ	9 0 ^H	W	\overline{PSTB} 端子にプリンタストローブ出力 (Bit 0)
	9 0	R	BUSY端子のプリンタステータス入力 (Bit 1)
	9 1	W	PDB0~7端子にプリントデータ出力 (Bit0~7)
VDP	9 8	W	} \overline{VDPCW} 端子にVDPのライトタイミング信号出力
	9 9	W	
	9 8	R	} \overline{VDPCR} 端子にVDPのリードタイミング信号出力
	9 9	R	
SSG及び 汎用ポート	A 0	W	アドレスラッチ
	A 1	W	データライト
	A 2	R	データリード
キーボード及び スロット指定	A 8	W	スロット指定信号用レジスタ データライト
	A 8	R	スロット指定信号用レジスタ データリード
	A 9	R	キーボードリターン信号リード
	A A	W	キーボード駆動信号等のレジスタライト
	A A	R	キーボード駆動信号等のレジスタリード
	A B	W	モード設定

I/OアドレスのDon't Care Bitは次の様になっています。

プリンタ	A B2, A B1
VDP	A B2, A B1
SSG及び 汎用ポート	A B2
キーボード及び スロット指定	A B2

＞キーボード及びスロット指定レジスタのビット割り当て

機能	ビット	W/R	内容	
スロット指定レジスタ	0	W/R	0000～3FFF番地のスロット指定信号	
	1			
	2			
	3			
	4			
	5	W/R	4000～7FFF番地のスロット指定信号	
	6			
	7			
キーボードリターン	0	R	キーボードリターン信号	
	1			
	2			
	3			
	4			
	5			
	6			
7				
キーボード駆動等 レジスタ	0	W/R	キーボード駆動信号、(この4ビットのデコード 0～10を $\bar{Y}0$ ～ $\bar{Y}9$ 、 $\bar{Y}10$ 、 $\bar{S}R$ 端子に出力)	
	1			
	2			
	3			
	4		カセットコントロール用REM信号	
	5		カセット書き込み用CMT0信号	
6	CAPSランプ用CAP信号			
7	ソフトによるサウンド用PPISND信号			
モード設定	0	W	0	ビット7にレベル1を与えたときスロット指定 レジスタ、キーボード駆動等のレジスタは全て クリアされます。 これは8255AのMODE0でPA、PCポート を出力、PBポートを入力に設定するのと同等 の機能をします。
	1		1	
	2		0	
	3		0	
	4		0	
	5		0	
	6		0	
	7	1		
	0	W	B ₀	ビット7をレベル0としたときはキーボード駆 動、等のレジスタのビットセット、リセットが 出来ます。 B ₁ ～B ₃ がビットNoを表わしB ₀ が1のときセッ ト0でリセットになります。
	1		B ₁	
	2		B ₂	
	3		B ₃	
	4		0	
	5		0	
6	0			
7	0			

>SSG及び汎用ポート

SSG部分は読み書き可能な14個のレジスタにより制御され(音に影響なくレジスタを読めます)

発音はこの部分の8オクターブの3系列矩形波発生器、1系列の擬似ランダムノイズ発生器、5ビットによる単発減衰、繰返し減衰等の各種のエンベロープ発生器、音量コントローラー、楽音とノイズ音を混合するミキサー、及び5ビットのDAコンバーターにより行われます。

汎用ポート部分は読み書き可能なレジスタを介しての出力ポートと入力ポート部よりなります。

レジスタアレー

8ビットのアドレスデータのうち上位のDB7~DB4が、0(H)のとき下位のDB3~DB0の4ビットが15個のレジスタの選択をします。そして一度取込んだアドレスデータは次のアドレスを取込むまで保持されデータのライト、リード等による影響を受けません。

レジスタアレーの内容を下表に示します。

レジスタアレー表

レジスタ	アドレス(H)	機能	ビット								
			B7	B6	B5	B4	B3	B2	B1	B0	
R0	00	チャンネルAの周波数	8ビットトーン微調整								
R1	01		✕				4ビットトーン粗調整				
R2	02	チャンネルBの周波数	8ビットトーン微調整								
R3	03		✕				4ビットトーン粗調整				
R4	04	チャンネルCの周波数	8ビットトーン微調整								
R5	05		✕				4ビットトーン粗調整				
R6	06	ノイズ周波数	✕				5ビットノイズ周波数				
R7	07	ミキサー、汎用ポートの設定	ポート		ノイズ			トーン			
			"1"	"0"	C	B	A	C	B	A	
R8	08	チャンネルAの音量	✕				M	L3	L2	L1	L0
R9	09	チャンネルBの音量	✕				M	L3	L2	L1	L0
RA	0A	チャンネルCの音量	✕				M	L3	L2	L1	L0
RB	0B	エンベロープの周波数	8ビット微調整								
RC	0C		8ビット粗調整								
RD	0D	エンベロープの形状	✕				CONT	ATT	ALT	HOLD	
✕	0E	汎用入力ポートのデータ	汎用ポートビット割り当て表参照								
RF	0F	汎用出力ポートのデータ	汎用ポートビット割り当て表参照								

*レジスタR7のポート部分は常に表に示すレベルとして下さい。

汎用ポート

入力ポートはアドレス0E(H)、
出力ポートはアドレス0F(H)
で動く出力ポートデータ保持用
レジスタR₆によって制御され
ます。各ビットと入出力端子関
係は右の汎用ポートビット割り
当て表の様になります。

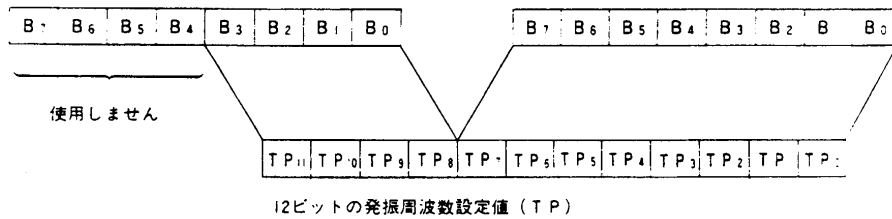
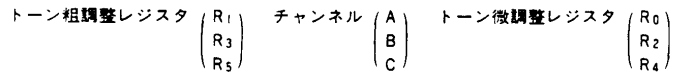
汎用ポートビット割り当て表

ポート	ビット	i/o	接続される端子名
入力	B ₀	i	FWD1 or FWD2
	B ₁		BACK1 or BACK2
	B ₂		LEFT1 or LEFT2
	B ₃		RIGHT1 or RIGHT2
	B ₄		TRGA1 or TRGA2
	B ₅		TRGB1 or TRGB2
	B ₆		JIS/50
B ₇	CMI		
出力	B ₀	o	TRGA1
	B ₁		TRGB1
	B ₂		TRGA2
	B ₃		TRGB2
	B ₄		STB1
	B ₅		STB2
	B ₆		入力ポートB0-B5の入力セレクト(外部に出力されない)
	B ₇		KANA

楽音周波数の設定 (レジスタR₀~R₅で制御)

チャンネルA、B、Cの3系列の楽音発生器で作られる矩形波の周波数はレジスタR₀~R₅によって設定され
ます。R₀、R₁がチャンネルAを、R₂、R₃がチャンネルBを、R₄、R₅がチャンネルCをそれぞれ制御
します。発振周波数F_Tはレジスタの値TP (10進) から次の様に決められます。但しこのときF_Tはク
ロック周波数です。

$$F_T = \frac{F_{\phi}}{32TP}$$



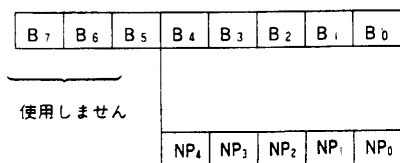
ノイズ周波数の設定（レジスタ R₆で制御）

ノイズ音源の周波数 F_N はレジスタの値 NP（10進）から次のように決められます。

F_φ はクロック周波数

$$F_N = \frac{F_\phi}{32NP}$$

ノイズ周波数レジスタ R₆

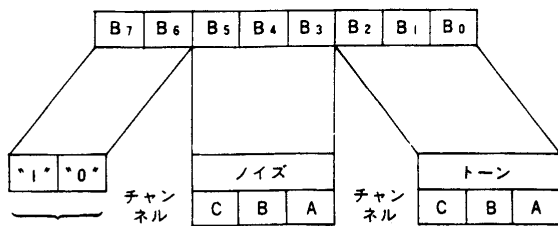


5ビットのノイズ周波数設定値（NP）

ミキサーの設定（レジスタ R₇で制御）

ミキサーは楽音とノイズ音の混合をしますが、その混合を決めるのがレジスタ R₇のビット B₅～B₀です。レジスタに0が書き込まれていれば音が出力されます。従ってノイズと楽音が共に0と書き込まれていれば混合されて出力し、どちらかだけが0ならば、0の方の音が出力し、両方共に1が書き込まれていれば共に出力しません。

ミキサー設定レジスタ R₇

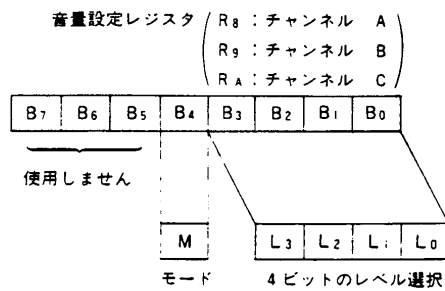


常にこの様に設定する。

ノイズ、トーンは0で出力可能になります。

音量コントロール（レジスタ R₈～R_Aで制御）

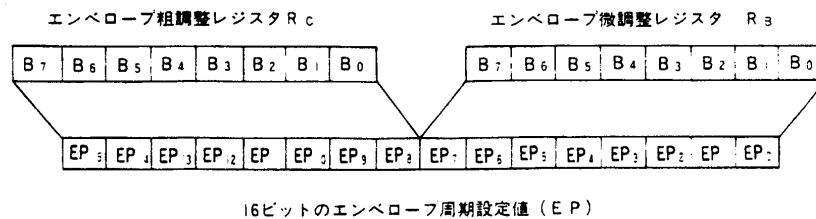
チャンネル A, B, C の音量はレジスタ R₈～R_A で制御されます。モード M は固定音量 (M=0) にするか、可変音量 (M=1) にするかの選択をします。M=0 のときは、4 ビットのレベル選択信号 L₃L₂L₁L₀ で 16 通りのレベルから 1 つを選んで発音します。音量を変えたい時は L₃L₂L₁L₀ を変化させます。M=1 のときは内蔵のエレベローフ発生器で作られる E₄E₃E₂E₁E₀ の 5 ビットの信号によって音量が決められて発音します。このとき E₄E₃E₂E₁E₀ は時間と共に変化しますので可変音量になります。



エンベローフ周波数の設定（レジスタ R_B, R_Cで制御）

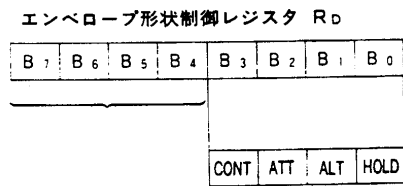
エンベローフの繰り返し周波数 F_E は、エンベローフ周期設定値 EP (10進) から次の様に決められます。F_φ はクロック周波数です。

$$F_E = \frac{F_\phi}{512EP}$$



エンベロープの形状コントロール (レジスタ R_D で制御)

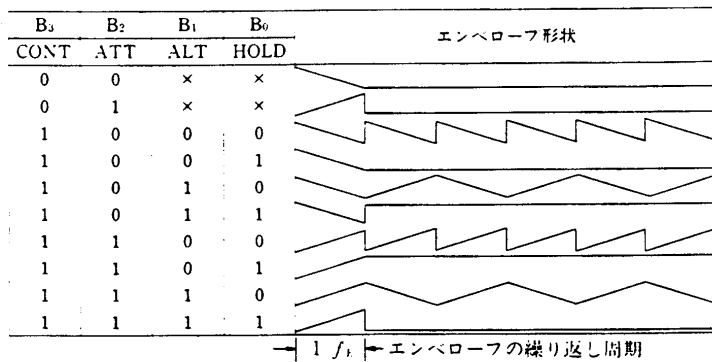
エンベロープのレベルは E₄E₃E₂E₁E₀ の 5 ビットからなるエンベロープ発生器で決まりますがエンベロープの形状はエンベロープ発生器のカウンタ値を上昇・下降させたり、1 サイクルで止めたり繰り返しをさせたりして作られます。この形状の制御はレジスタ R_D のビット B₃~B₀によって行なわれます。



エンベロープの形状制御信号

CONT.ATT.ALT.HOLDによりエンベロープは次表の様な各種形状をとります。

エンベロープ形状表



DAコンバータ

DAコンバータは最大振巾を1Vに正規化した時に下図に示す様な出力に変換します。

これは直線対数変換になっていて、広いダイナミックレンジを持ち、自然な減衰感が得られます。

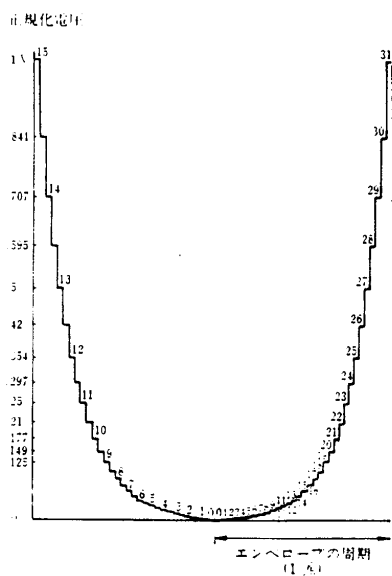


図1 D-Aコンバータの出力レベル
 図中左半分の添字は固定音量の選択信号 L_1, L_2, L_3, L_4 を10進表示したもので、右半分の添字はエンベロープカウンターの出力 E_1, E_2, E_3, E_4 を10進表示したものです。

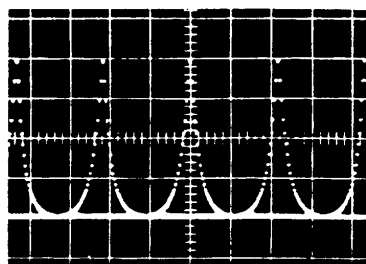


図2 エンベロープ($R_D = \times \times \times \times 1110$)を付与した単音の出力波形

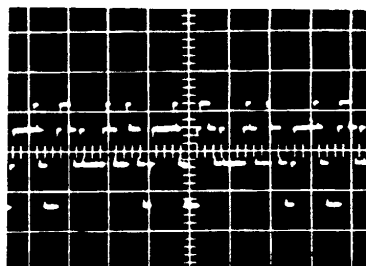
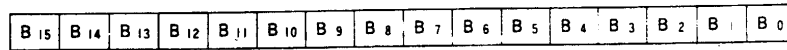
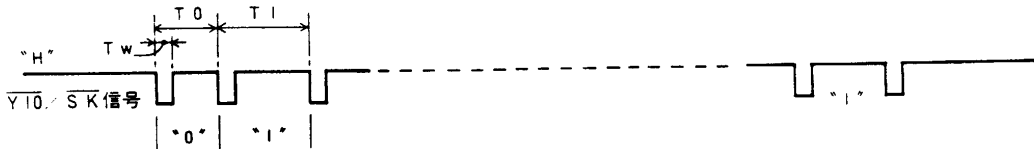


図3 固定音量($R_A \sim R_A = \times \times \times 01100$)のときの3音ミキシングの出力波形

> シリアルキー入力

初期値設定時シリアルキー入力機能が機能する様に設定したならば $\overline{Y10}/\overline{SK}$ 端子から下記の仕様に基づいてシリアルデータを内部でキーリターン信号にORで足し込むことが出来ます。



$\overline{Y10}/\overline{SK}$ 端子に入力するシリアル信号はクロック周波数に対し非同期でも可能であります。波形及びタイミングは図と表にしたがって下さい。そして、入力される信号の負極性のパルス間隔が“0”又は“1”のレベルを示します。上図の例では1番目は“0”、2番目は“1”、…16番目には“1”が入力された状態です。これらはB15～B0で表わされる16ビットのシリアルデータ用レジスタにストアされます。このとき続けて17番目の入力あればそれはビットB0に入力されビットB0のデータはビットB1に…ビットB14のデータはビットB15にシフトしビットB15のデータはすてられます。

シリアル入力終了したならば、キーボード及びスロット指定レジスタのビット割り当て表に示すキーボード駆動レジスタのビット0、1状態を定めることにより次表の様にキーボードリターン信号と同様に8ビット単位にセレクトし読み込みを行い、そしてシリアルデータ用の16ビットレジスタをクリアします。

シリアル信号のタイミング表

記号	MIN	MAX
T_w	$\frac{265}{F\phi}$	—
T_0	—	$\frac{2040}{F\phi}$
T_1	$\frac{2056}{F\phi}$	—
$T_0 - T_w$	$\frac{8}{F\phi}$	—

$F\phi$: クロック周波数

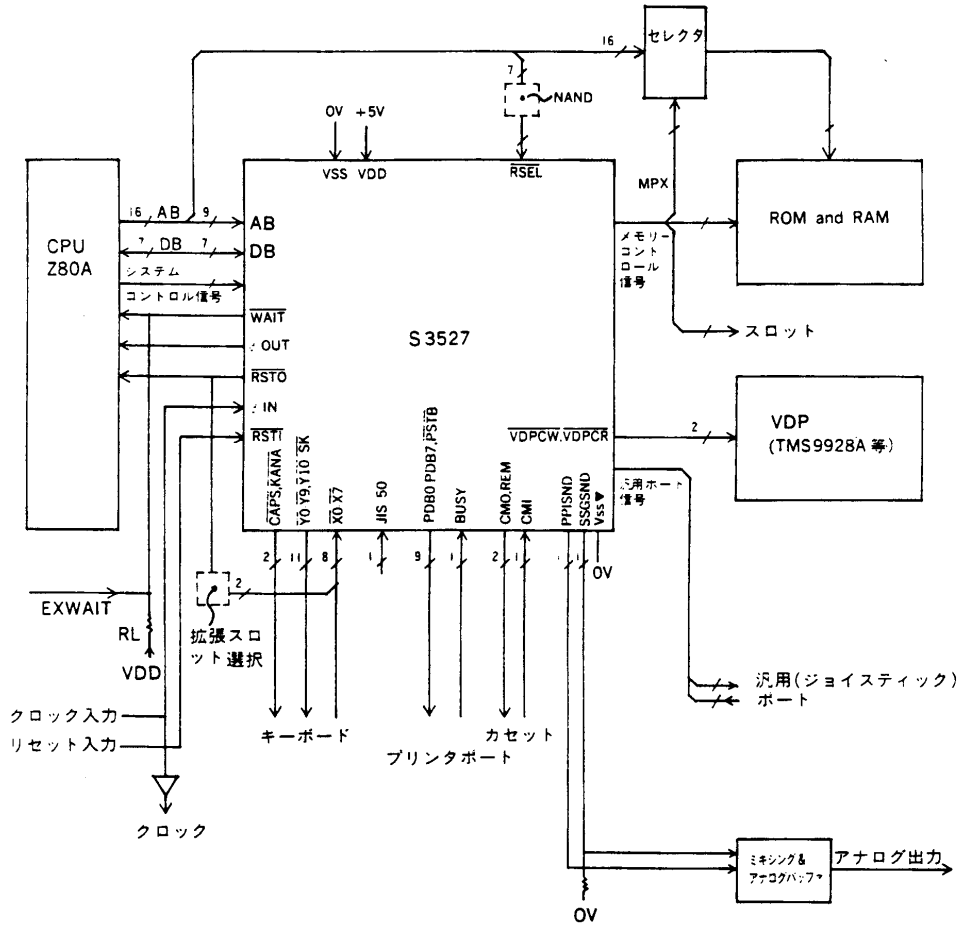
シリアルデータの読み込みとそのレジスタクリア表

キーボード駆動ビット		内 容
B ₀	B ₁	
0	0	B ₀ - B ₇) キーボードリターン信号と同じi/oアドレスで読み込まれます。 B ₈ - B ₁₅) B ₀ 、B ₈ がキーボードリターンのX ₀ 側に対応します。
0	1	
1	×	シリアルデータ用16ビットレジスタのクリア

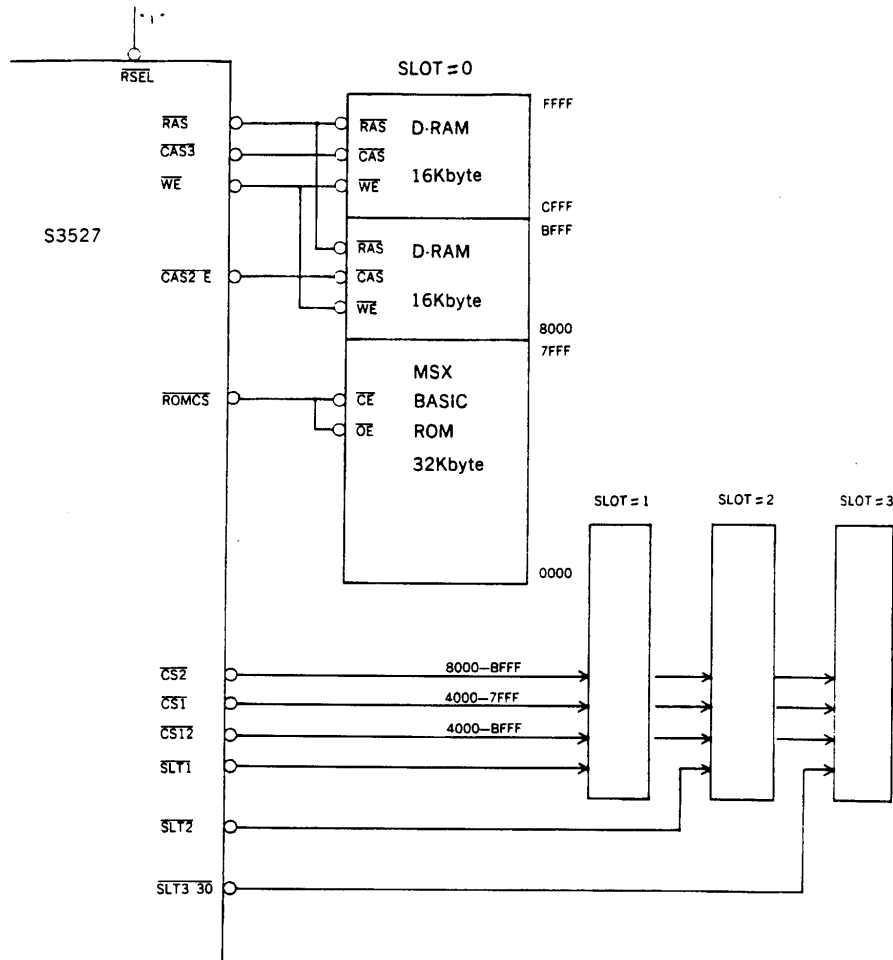
この16ビットレジスタのクリアは上表の様にビットB₀をレベル1にすることで行われますのでこのときビットB₁~B₃をある値に定めることによりキーボード駆動出力端子の $\overline{Y_1}$ 、 $\overline{Y_3}$ 、 $\overline{Y_5}$ 、 $\overline{Y_7}$ 、 $\overline{Y_9}$ のいずれかに16ビットレジスタクリアと同時に出力を得ることが出来ます。この出力信号を次のシリアルデータの送り出し用とすることが可能です。

- 注意
- 1) このシリアルデータに対してはMSXはサポートしていません。
 - 2) シリアルデータをcpuが読み込む時キーボードリターン信号が同時に入力されると結果は両方のOR論理をとったものとなります。

基本回路例 (本デバイスと周辺回路との接続)

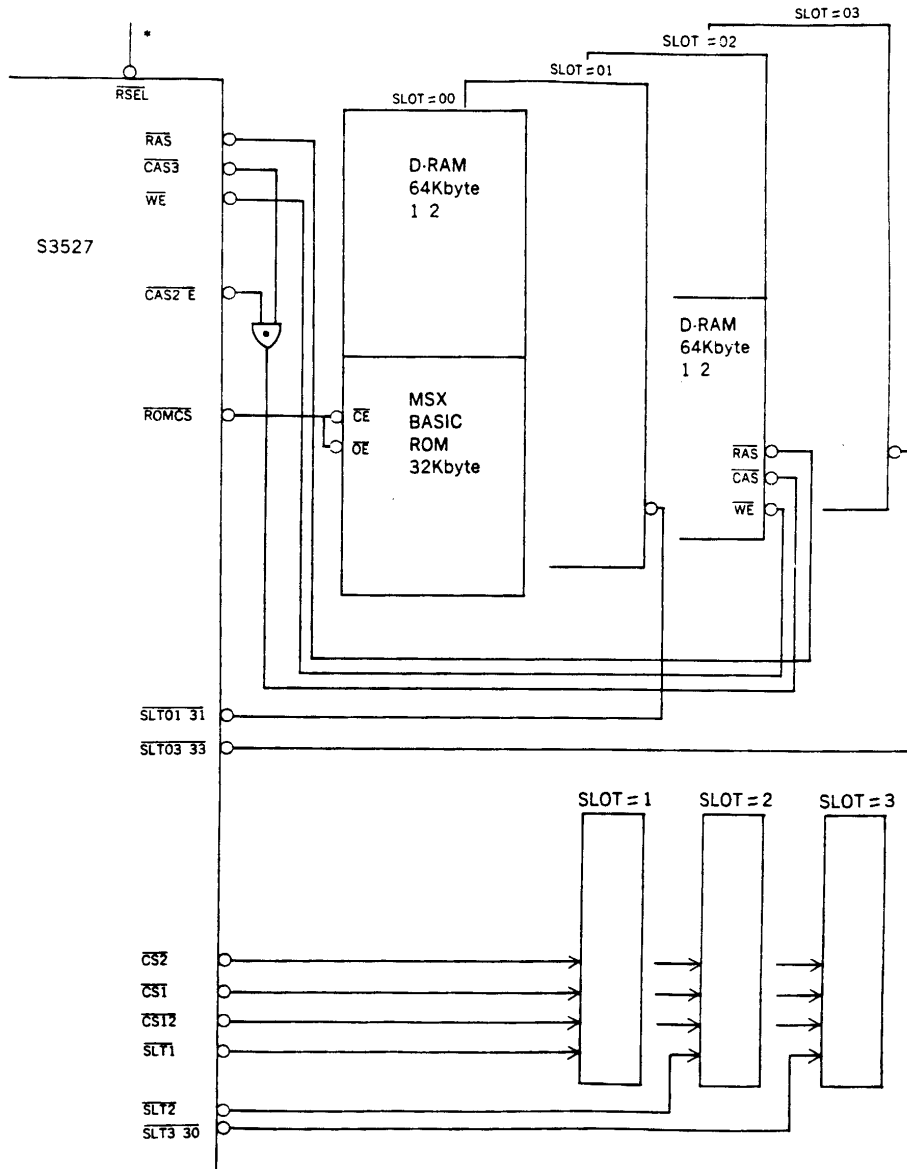


基本回路例 (メモリコントロール部分 スロットの拡張をしない場合)



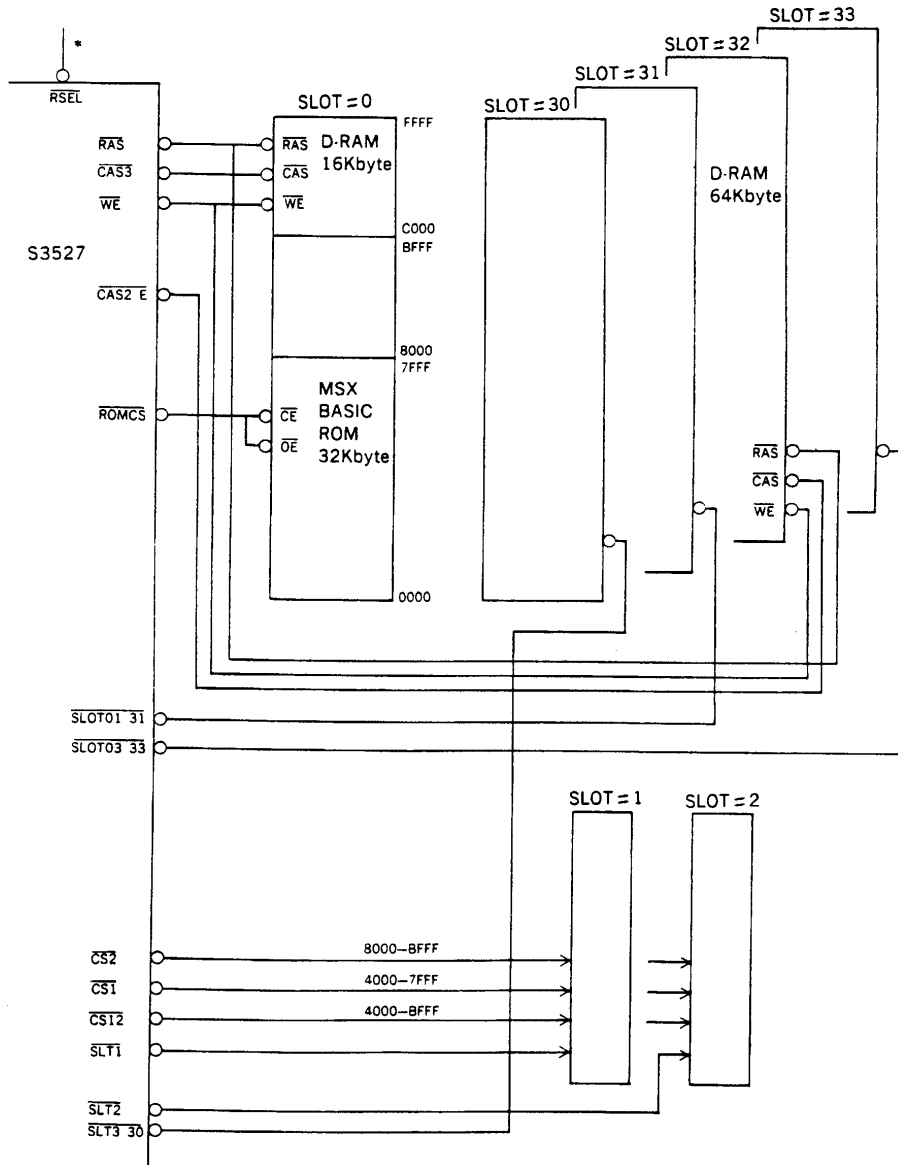
D・RAMを8000-BFFFに実装しCA2Eを用いる場合は、SLOT#0の拡張が可能な状態にして下さい。

基本回路例 (メモリーコントロール部分, RAM64Kbyte, スロット=0を拡張した場合)



* S3527に入力されていないアドレスビットすべてのNAND論理をとった信号を入力する。

基本回路例 (メモリーコントロール部分, RAM16K+64Kbyte, スロット≠3を拡張した場合)



* S3527に入力されていないアドレスビットすべてのNAND論理をとった信号を入力する。

電気的特性

1. 絶対最大定格

項目	定格値	単位
電源電圧 (V _{DD})	-0.3~7.0	V
入力端子電圧	-0.3~V _{DD} +0.3	V
動作周囲温度	0~70	°C
保存温度	-50~125	°C

2. 推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧	V _{DD}	4.75	5.0	5.25	V
	V _{SS}	0	0	0	V

3. 直流特性 (Top= 0°C~70°C, V_{DD}=4.75V~5.25V, V_{SS}=0V, V_{SS}[▽]=0V)

項目	記号	条件	最小	標準	最大	単位
低レベル入力電圧	V _{IL1}	(X7~X0以外)	-0.3		0.8	V
	V _{IL2}	(X7~X0)	-0.3		1.5	V
高レベル入力電圧	V _{IH1}	(X7~X0以外)	2.0		V _{DD}	V
	V _{IH2}	(X7~X0)	3.5		V _{DD}	V
低レベル出力電圧	V _{OL1}	注O)	0		0.45	V
	V _{OL2}	I _{OL} =10 mA (PSTB, WAIT, CAPS.)	0		0.45	V
高レベル出力電圧	V _{OH}	注O) KANA)	4.0		V _{DD}	V
入力電流	I _I	V _{IN} =0 V	-50		-500	μA
入力リーク電流	I _{LI}	V _{IN} =0~5 V			10	μA
出力リーク電流	I _{LO}	V _O =0~5 V			10	μA
電源電流	I _{DD}				35	mA

注O) : I_{OL}=1 mA CMO, REM, PPSND, VDPCR, VDPCW, φ OUT, RUMCS, RAS, CAS3, CAS2, E, WE, TRGA1, TRGB1, STB1, TRGA2, TRGB2, STB2, Y10, SK, Y0~Y9

I_{OL}=2.4 mA DB0~DB7, SLT01~31, SLT03~33, CS1, CS2, CS12, SLT2, SLT3 30, PDB0~PDB7, RST0, MPX

但し (TRGA1, TRGA2, STB1, TRGA2, TRGB2, STB2) は I_{OL}=1.6 mA のとき V_{OL} 最大=0.5V となります。

I_{OH}=-0.2mA (OPEN DRAIN をのぞく出力端子)

4. 交流特性 (注1)

クロックタイミング

項目	記号	条件	最小	標準	最大	単位
クロック周期	Tc			280		ns
クロック(入力)の立ち上がり、立ち下り	T _{2tr} , T _{2ff}				30	ns
クロック(入力)、(出力)の遅延時間	T _{SL} , T _{SO}			13		ns
クロック(出力)の立ち上がり、立ち下り	T _{2or} , T _{2of}	CL=70PF			30	ns

ライトタイミング

項目	記号	条件	最小	最大	単位
データの \overline{WR} オフに先立つ確定時間	T _{WRS}		300		ns
データの \overline{WR} オフからの保持時間	T _{WRH}		0		ns
出力データの遅延時間	T _{DD}	注2)		250	ns

リードタイミング

項目	記号	条件	最小	最大	単位
データ遅延時	T _{RD}			250	ns
フロート状態への遷移時間	T _{RDF}			100	ns
入力データの \overline{RD} に先立つ確定時間	T _{RDS}	注3)	0		ns
入力データの \overline{RD} に対する保持時間	T _{RDH}		0		ns

注1) 各タイミング特性はCPUのアドレスバス、データバス、コントロール信号とを直結したときを条件とします。

注2) 端子 $\overline{Y_0} - \overline{Y_{10}}$, STBI, STB, TRGA1, TRGA2, TRGB1, TRGB2, \overline{CAPS} , $\overline{KAN_A}$, REM, CMOの信号に適用

注3) 端子 $\overline{X_0} - \overline{X_7}$, FWD1, FWD2, BACK1, BACK2, LEFT1, LEFT2, RIGHT1, RIGHT2, TRGA1, TRGA2,

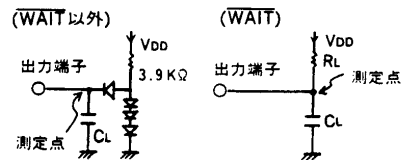
TRGB1, TRGB2, CMI, JIS 50の信号に適用

M1サイクル、MEMORY READ WRITE サイクル、I/O サイクルタイミング

項	目	記号	条件	最小	最大	単位
CLOCK	↑ - $\overline{\text{WAIT}}$ ↓	T_{fWA}	$C_L=70\text{PF}$		60	ns
CLOCK	↑ - $\overline{\text{WAIT}}$ ↓	T_{fWA}	$C_L=70\text{PF } R_L=680\Omega$		60	ns
$\overline{\text{NREQ}}$	↓ - $\overline{\text{RAS}}$ ↓	T_{MRRA}	$C_L=100\text{PF}$		60	ns
$\overline{\text{NREQ}}$	↑ - $\overline{\text{RAS}}$ ↓	T_{MRRA}	"		70	ns
CLOCK	↑ - $\overline{\text{RAS}}$ ↓	T_{fRA}	"		70	ns
$\overline{\text{CLOCK}}$	↑ - $\overline{\text{RAS}}$ ↓	T_{fRA}	"	90	180	ns
CLOCK	↑ - MPX ↓	T_{fMX}	"		70	ns
$\overline{\text{NREQ}}$	↑ - MPX ↓	T_{MRMX}	"		70	ns
$\overline{\text{RAS}}$	↓ - MPX ↓	T_{RAMX}	"	50		ns
$\overline{\text{CLOCK}}$	↑ - $\overline{\text{CASn}}$ ↓	T_{fCA}	"		70	ns
$\overline{\text{NREQ}}$	↑ - $\overline{\text{CASn}}$ ↓	T_{MRCA}	"		70	ns
CLOCK	↑ - $\overline{\text{WE}}$ ↓	T_{fWE}	"	30	70	ns
CLOCK	↑ - $\overline{\text{WE}}$ ↓	T_{fWE}	"	30	70	ns
$\overline{\text{NREQ}}$	↓ - $\overline{\text{ROMCS}}$ ↓	T_{MRRO}	"		70	ns
$\overline{\text{NREQ}}$	↑ - $\overline{\text{ROMCS}}$ ↓	T_{MRRO}	"		70	ns
$\overline{\text{NREQ}}$	↓ - $\overline{\text{CSn}}$ ↓	T_{MRCS}	"		60	ns
$\overline{\text{NREQ}}$	↑ - $\overline{\text{CSn}}$ ↓	T_{MRCS}	"		70	ns
$\overline{\text{NREQ}}$	↓ - $\overline{\text{SLTn}}$ ↓	T_{MRSL}	"		60	ns
$\overline{\text{NREQ}}$	↑ - $\overline{\text{SLTn}}$ ↓	T_{MRSL}	"		70	ns
$\overline{\text{NREQ}}$	↓ - $\overline{\text{SLTnn}}$ ↓	T_{MRST}	"		70	ns
$\overline{\text{NREQ}}$	↑ - $\overline{\text{SLTnn}}$ ↓	T_{MRST}	"		70	ns
$\overline{\text{RD}}$	↓ - $\overline{\text{VDPCR}}$ ↓	T_{RDVR}	"		70	ns
$\overline{\text{RD}}$	↑ - $\overline{\text{VDPCR}}$ ↓	T_{RDVR}	"		70	ns
$\overline{\text{WR}}$	↓ - $\overline{\text{VDPCW}}$ ↓	T_{WRVW}	"		70	ns
$\overline{\text{WR}}$	↑ - $\overline{\text{VDPCW}}$ ↓	T_{WRVW}	"		50	ns

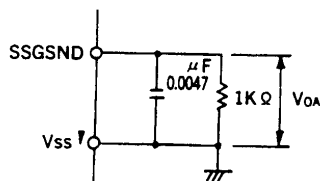
* : 注4) 参照

タイミング測定負荷回路



アナログ出力 (SSGSND)

項目	記号	条件	最小	標準	最大	単位
最大出力電圧	V_{OA}	下図参照	0.23	0.33	0.47	V_{PP}



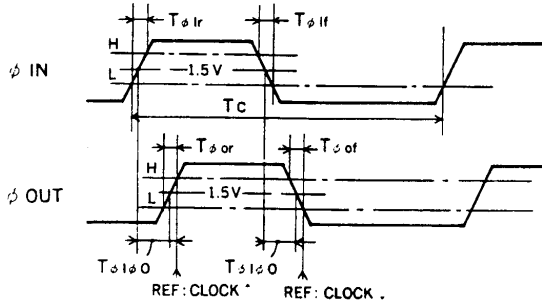
SSGSND 出力電圧測定時のレジスタの状態

- 乗音周波数設定レジスタ : OFF (=440Hz)
- 音量コントロールレジスタ : OF (最大音量)
- ミキサレジスタ : A, B, Cチャンネル単独出力

S3527

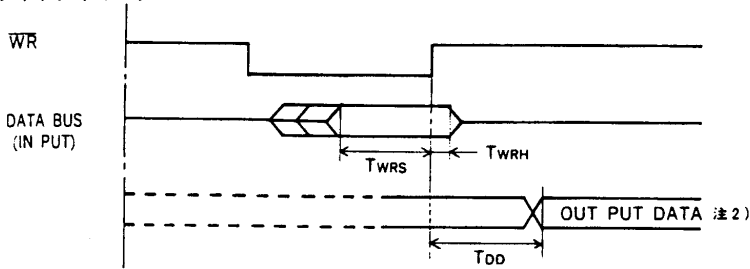
TABLE 1

クロックタイミング

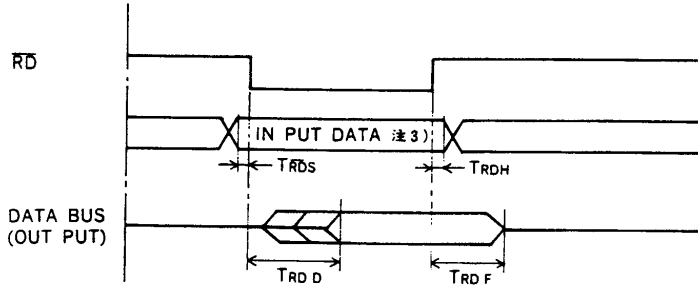


	H	*L*
CLOCK(ϕ OUT)	$V_{DD}-0.6V$	0.45V
OUT PUT	2.0V	0.8V
IN PUT or ϕ IN	2.0V	0.8V
FLOAT	ΔV	$\pm 0.5V$

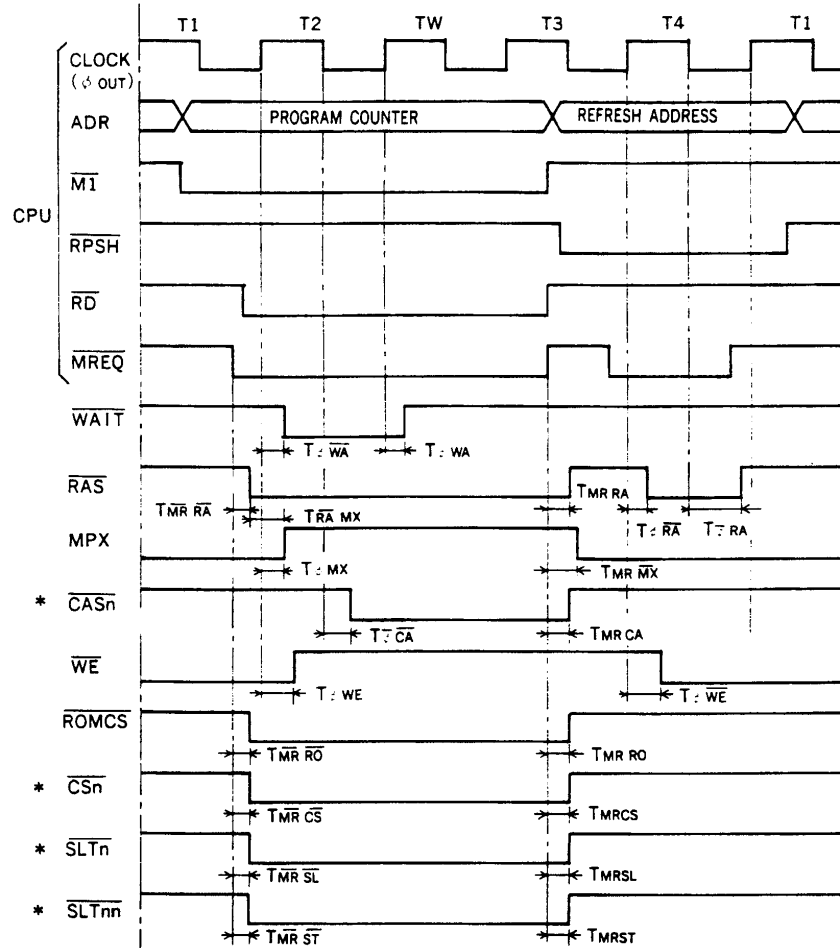
ライトタイミング



リードタイミング



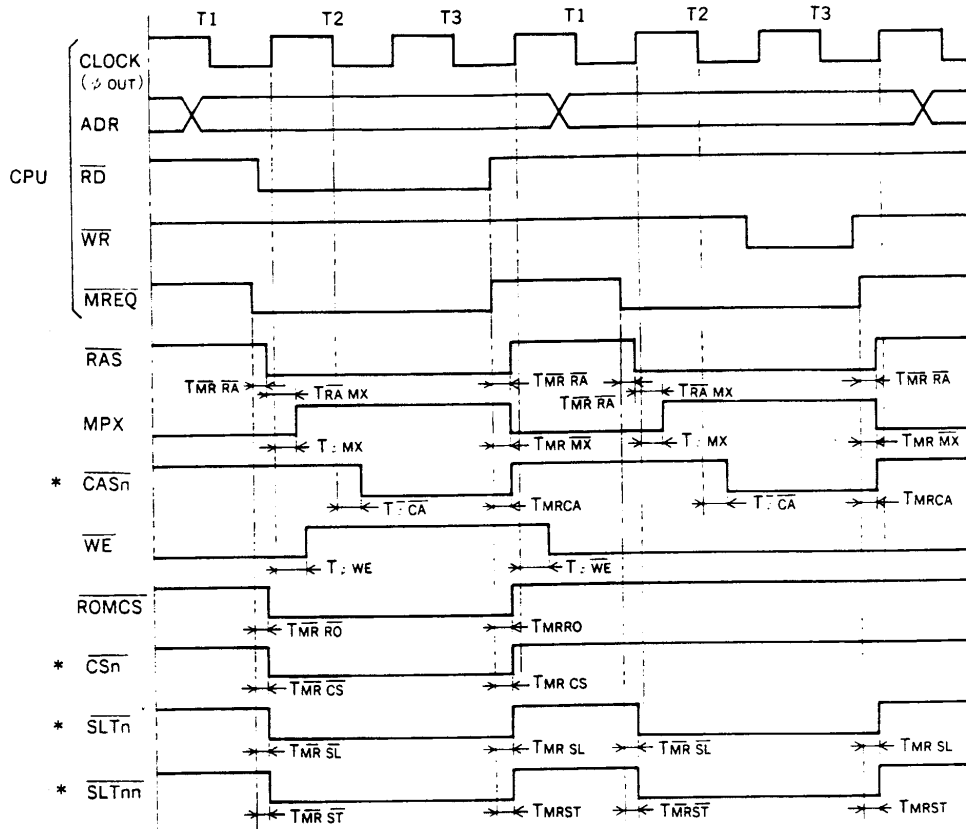
M1サイクルタイミング



注4) *印信号名は詳しくは下記のようになります。

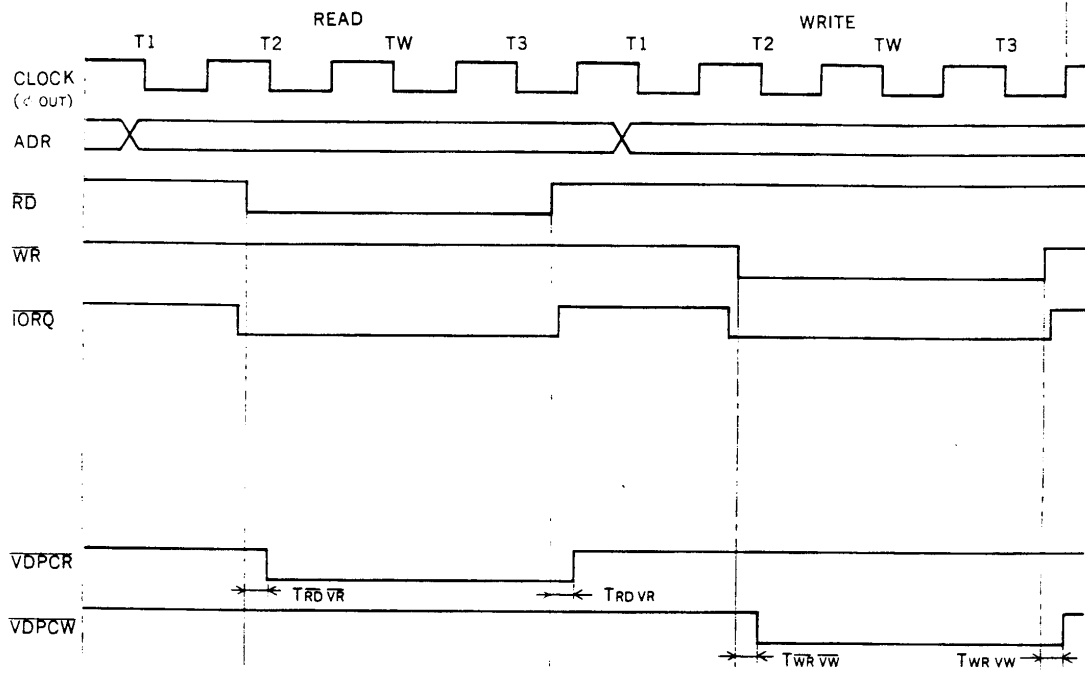
- \overline{CASn} : $\overline{CAS2/E}$, $\overline{CAS3}$
- \overline{CSn} : $\overline{CS1}$, $\overline{CS2}$, $\overline{CS12}$
- \overline{SLTn} : $\overline{SLT1}$, $\overline{SLT2}$, $\overline{SLT3/30}$
- \overline{SLTnn} : $\overline{SLT01/31}$, $\overline{SLT03/33}$

MEMORY READ WRITE サイクルタイミング



* :注4) 参照

I/O サイクルタイミング



外形寸法図

